

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-192533

(43)Date of publication of application : 28.07.1998

(51)Int.Cl.

A63F 7/02

G06F 9/06

(21)Application number : 09-003494

(71)Applicant : SOPHIA CO LTD

(22)Date of filing : 13.01.1997

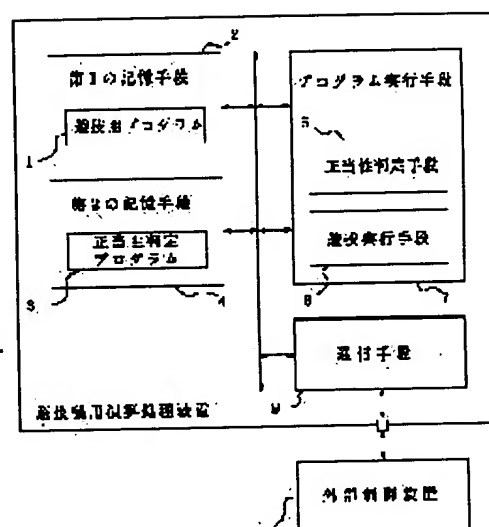
(72)Inventor : IOKI SADA0

## (54) ARITHMETIC PROCESSOR FOR GAME MACHINE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To facilitate the verifying of a program for game from outside while reducing burden on the execution of a program in an arithmetic processor for a game machine having a validity judging means of the program for game.

**SOLUTION:** A program is divided into a program 1 for game and a validity judging program 3 to be respectively housed into the first and second memory means 2 and 4. A program executing means 7 is also divided into a game executing means 6 for executing the program for game and a validity judging means 5 for executing the validity program. Prior to the execution of the program for game, the validity judging means 5 executes a validity judging program 3 and then, only when the validity is approved, the game executing means 6 executes the program 1 for game. An external controller 8 is provided to execute a control operation in a game process under the control of the program executing means 7 and communication processing with the external controllers 8 is undertaken by a communication means 9 thereby reducing burden on the program executing means 7 accordingly.



## LEGAL STATUS

[Date of request for examination] 09.01.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-192533

(43) 公開日 平成10年(1998) 7月28日

(51) Int.Cl. <sup>8</sup>	識別記号	F I
A 6 3 F 7/02	3 3 4	A 6 3 F 7/02 3 3 4
G 0 6 F 9/06	5 5 0	G 0 6 F 9/06 5 5 0 Z
		5 5 0 G

審査請求 未請求 請求項の数6 O L (全 16 頁)

(21) 出願番号 特願平9-3494

(22) 出願日 平成9年(1997) 1月13日

(71) 出願人 000132747

株式会社ソフィア

群馬県桐生市境野町7丁目201番地

(72) 発明者 井置 定男

群馬県桐生市宮本町3-7-28

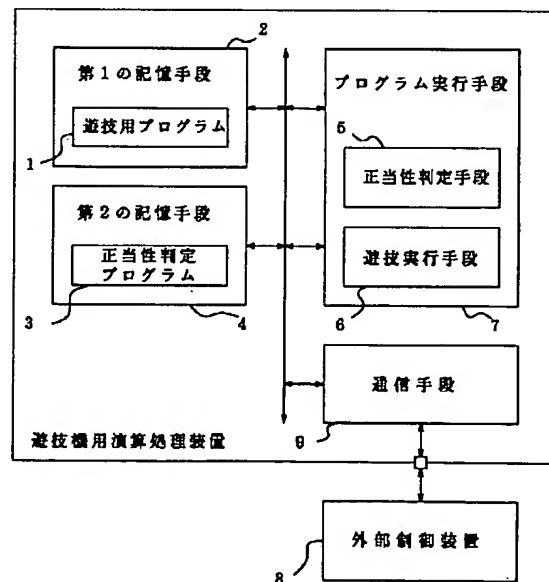
(74) 代理人 弁理士 村上 光司

(54) 【発明の名称】 遊技機用演算処理装置

(57) 【要約】

【課題】 遊技用プログラムの正当性判定手段を有する遊技機用演算処理装置において、プログラム実行の負担を軽減するとともに外部からの遊技用プログラムの検証を容易にする。

【解決手段】 プログラムは遊技用プログラム1と正当性判定プログラム3に区分されており、各々第1及び第2の記憶手段に格納されている。プログラム実行手段7も遊技用プログラムを実行する遊技実行手段と正当性プログラムを実行する正当性判定手段に区分され、遊技用プログラムの実行に先行して正当性判定手段5が正当性判定プログラム3を実行し、正当性が認められた時にのみ遊技実行手段6が遊技用プログラム1を実行する。このプログラム実行手段7の制御下で遊技課程における制御動作を実行する外部制御装置が設けられ、外部制御装置との通信処理は通信手段にゆだねられるので、プログラム実行手段7の負担が軽減される。



## 【特許請求の範囲】

【請求項1】 遊技用プログラムを格納する第1の記憶手段と、該第1の記憶手段に格納された遊技用プログラムの正当性を判別するための正当性判定プログラムを格納する第2の記憶手段と、前記第2の記憶手段に格納された正当性判定プログラムを実行し、前記第1の記憶手段に格納された遊技用プログラムの正当性が認められた場合に前記第1の記憶手段に格納された遊技用プログラムの実行を許容する正当性判定手段と、該正当性判定手段によって前記遊技用プログラムの実行が許容されたことに基いて前記第1の記憶手段に格納された遊技用プログラムを実行する遊技実行手段とを少なくとも含むプログラム実行手段と、該プログラム実行手段の制御下において、遊技過程における制御動作を実行するための外部制御装置との間で通信処理を実行する通信手段を有する遊技機用演算処理装置。

【請求項2】 請求項1記載の遊技機用演算処理装置において、前記通信手段は、前記プログラム実行手段から前記外部制御装置に対する送信データを一時記憶する送信データ記憶手段と、前記送信データ記憶手段に一時記憶された送信データを前記外部制御装置に対して送出するデータ送信手段と、前記外部制御装置から前記プログラム実行手段に対する受信データを一時記憶する受信データ記憶手段と、前記受信データ記憶手段に一時記憶する前記外部制御装置からの受信データを受信するデータ受信手段と、前記送信データ記憶手段が送信データを保有することを記憶する送信状態記憶手段と、前記受信データ記憶手段が受信データを保有することを記憶する受信状態記憶手段と、少なくとも、前記データ受信手段が前記外部制御装置からの受信データを受け付けると前記受信状態記憶手段のセットと前記受信データの前記受信データ記憶手段に対する書込を行うとともに、前記送信状態記憶手段がセットされたことに基づき前記送信データ記憶手段に書き込まれている送信データを前記データ送信手段から送出させる送受信制御手段と、を具備することを特徴とする遊技機用演算処理装置。

【請求項3】 請求項1又は請求項2記載の遊技機用演算処理装置において、前記遊技機用演算処理装置は、前記通信手段を前記外部制御装置と接続するための端子点を介して前記遊技用プログラムの正当性を判定する為の確認装置と接続可能であって、前記正当性判定手段は、前記端子点を介して接続された前記確認装置からの遊技用プログラム吐出要求にตอบสนองして遊技用プログラムを前記通信手段を介して前記確認装置に送出するプログラム吐出手段を具備することを特徴とする遊技機用演算処理装置。

【請求項4】 請求項3記載の遊技機用演算処理装置において、不揮発性メモリによって構成され、前記プログラム吐出手段の作動回数を計数記憶する吐出回数記憶手段を具備するとともに、前記正当性判定手段は、前記吐

出回数記憶手段の計数記憶値が予設定値に到達したことを判別すると前記プログラム実行手段を不能動化する不能動化手段を具備したことを特徴とする遊技機用演算処理装置。

【請求項5】 請求項1又は請求項2記載の遊技機用演算処理装置において、前記遊技機用演算処理装置は、前記通信手段を前記外部制御装置と接続するための端子点を介して前記遊技用プログラム及び遊技機用演算処理装置の正当性を判定する為の確認装置と接続可能であって、前記正当性判定手段は、前記確認装置の正当性を判定する識別手段を具備し、前記正当性判定手段は、前記端子点を介して接続された前記確認装置による前記遊技機用演算処理装置の認証及び前記識別手段による前記確認装置の認証がなされたことを条件として、前記端子点を介して接続された前記確認装置からの遊技用プログラム吐出要求にตอบสนองして遊技用プログラムを前記通信手段を介して前記確認装置に送出するプログラム吐出手段を有することを特徴とする遊技機用演算処理装置。

【請求項6】 請求項5記載の遊技機用演算処理装置において、不揮発性メモリによって構成され、前記プログラム吐出手段の作動回数を計数記憶する吐出回数記憶手段を具備するとともに、前記正当性判定手段は、前記吐出回数記憶手段の計数記憶値が予設定値に到達した場合或いは前記識別手段による前記確認装置の認証が否定された場合に前記プログラム実行手段を不能動化する不能動化手段を具備することを特徴とする遊技機用演算処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はパチンコ遊技機、アレンジボール、回転式遊技機、ジャン球遊技機等の遊技の制御を行う為の遊技機用演算処理装置に関する。

## 【0002】

【従来の技術】近年の遊技機は例えば特定領域への入賞などに伴って特定条件を満足すると遊技盤面に設けられた特別図柄表示装置を使用して可変表示ゲームを行わせしめ、そのゲーム結果に対応して遊技客の利益状態が大幅に変化する様にしたものが広く普及しており、特別図柄表示器を使用した可変表示ゲームは乱数発生制御を含むプログラム制御によって実行される。又、遊技機内には遊技プログラムを実行する演算処理装置以外にも、賞球の排出制御を行う為の排出制御装置や特別図柄表示装置の図柄表示制御を行う為の表示制御装置等のプログラム制御される制御装置が配設されており、遊技用演算処理装置は、遊技プログラムの進行制御以外にも、表示制御装置への表示図柄の指示や、排出制御装置への賞球数の指示等も実行している。

## 【0003】

【発明が解決しようとする課題】このようなプログラム制御される装置が増大した現在の遊技機は従前の様な釘

調整よりも遊技プログラムの如何によって遊技機性格が決定されるため、遊技機開発メーカとしては、限られたプログラムエリアの中により多彩な表現を盛り込み、競合他メーカとの差別化を図りたいという要望があるが、上記の様に遊技機用演算処理装置は遊技用のメインプログラムの進行制御の他にも、表示制御装置への表示図柄の指示や、排出制御装置への賞球数の指示等も実行している為、これらの外部デバイスに対する通信タイミングの制御等の処理的な負担が加わるのが現状であり、これら外部デバイスとの間の通信に要する負担を極力減らし、本来の遊技用メインプログラムの進行管理により多くの能力を割り当てたいという要望がある。そこで、本発明は表示制御装置や排出制御装置等の外部デバイスとの通信管理に要していた遊技機用演算処理装置の負担を軽減させることを第1の目的とする。

【0004】又、このように高度にプログラム制御された遊技機の場合、その遊技用プログラムの如何によっては極端に射倖性の高い性格の遊技機となってしまうため、健全な遊技を行わしめるために現在では検定機関の認証を得た遊技用プログラムのみが使用できる様になされているが、集客力の向上を図ってROM交換によるプログラムの改竄が現実に行われており、プログラムの改竄に対するセキュリティ機能を高める為の工夫が行われている。

【0005】より具体的には、メーカにより開発された遊技用プログラムが検定機関による検定に合格すると、この合格したプログラムを第三者機関に持ち込む。第三者機関では合格したプログラムから所定の暗号化アルゴリズムに従ってセキュリティコードを導出し、元々の遊技用プログラムとこの遊技用プログラムから暗号化アルゴリズムに従って導出されたセキュリティコードとを書き込んだマスターROMを作成する。メーカではワンチップマイクロコンピュータによって構成され、セキュリティプログラム（上記の暗号化アルゴリズム及び照合手順等）が予め登録された遊技機用演算処理装置のROM内にマスターROMをコピーして遊技機に装着する。このようにして得られた正規の遊技機用演算処理装置は、電源の投入時にまずセキュリティプログラムが起動し、ROM内に格納された遊技用プログラムから所定の暗号化のアルゴリズムに従ってセキュリティコードを算出して一端RAM領域に待避させる。一方、ROM内には第三者機関によって作成されたセキュリティコードが書き込まれており、ROM内に予め書き込まれているセキュリティコードとRAM内に待避されたセキュリティコードは本来同一の暗号化アルゴリズムに従って作成されたものであるため、両者は本来一致しなければならない性格のものである。そこで、両者の照合の結果セキュリティコードの一致が検出された場合に初めて遊技用プログラムの実行が可能となる様にするによりプログラムの改竄改変を防止している。

【0006】ところで、このようなセキュリティ機能は遊技店側が夜間にROM交換等を行うことを防止する必要上生まれたものであり、暗号化アルゴリズムの漏泄を伴う様な不正行為がなされた場合には必ずしも万全ではなく、セキュリティ機能をより高める為には検査機関による不定期な立入検査が不可欠である。立ち入り検査としては封印シールの剥離痕跡を目視確認する等の方法も可能であるが、より完全なセキュリティ機能を持たせ或いは改竄の抑止力を向上させる為には実際にプログラムを読み出してマスタープログラムと照合確認することが望まれる。しかしながら、ワンチップマイクロコンピュータ化された遊技機用演算処理装置を検査装置に装着する場合、ピン数が多大であるため、検査のためにチップの抜き差しをする際にピンを突き曲げてしまう等の問題が生じ、より容易に立ち入り検査を行える様な体制の完備が望まれていた。そこで、本発明はチップの抜き差しを行うこと無く外部制御装置との間でデータ通信を行う通信手段を流用して確認装置に対して遊技用プログラムを吐出することが出来る様にした遊技機用演算処理装置を提供することを第2の目的とする。

【0007】

【課題を解決するための手段】図1に示す様に、請求項1に係る遊技機用演算処理装置は、遊技用プログラム1を格納する第1の記憶手段2と、該第1の記憶手段2に格納された遊技用プログラム1の正当性を判別するための正当性判定プログラム3を格納する第2の記憶手段4と、前記第2の記憶手段4に格納された正当性判定プログラム3を実行し、前記第1の記憶手段2に格納された遊技用プログラム1の正当性が認められた場合に前記第1の記憶手段2に格納された遊技用プログラム1の実行を許容する正当性判定手段5と、該正当性判定手段5によって前記遊技用プログラム1の実行が許容されたことに基づいて前記第1の記憶手段2に格納された遊技用プログラム1を実行する遊技実行手段6とを少なくとも含むプログラム実行手段7と、該プログラム実行手段7の制御下において、遊技過程における制御動作を実行するための外部制御装置8との間で通信処理を実行する通信手段9を備えることにより上記第1の目的を達成している。

【0008】請求項1による場合、第1の記憶手段に格納された遊技用プログラム1を遊技実行手段6が実行するに先だって正当性判定手段5が第2の記憶手段に格納された正当性判定プログラム3を実行し、その正当性が認められた場合にのみ遊技用プログラム1の実行が許容される。遊技用プログラム1の実行過程で例えば特別図柄表示装置の表示制御を行う為の表示制御装置等の外部制御装置8はプログラム実行手段7の制御下で各々の制御動作を実行するが、通信処理は独立した通信手段が行うので、プログラム処理に要する時間や通信制御の為のプログラムを節約することが出来る。

【0009】又、請求項2にかかる遊技機用演算処理装置は、請求項1に記載の遊技機用演算処理装置を前提として、図2に示す様に、前記通信手段9は、前記プログラム実行手段7から前記外部制御装置8に対する送信データを一時記憶する送信データ記憶手段10と、前記送信データ記憶手段10に一時記憶された送信データを前記外部制御装置8に対して送出するデータ送信手段11と、前記外部制御装置8から前記プログラム実行手段7に対する受信データを一時記憶する受信データ記憶手段12と、前記受信データ記憶手段12に一時記憶する前記外部制御装置からの受信データを受信するデータ受信手段13と、前記送信データ記憶手段10が送信データを保有することを記憶する送信状態記憶手段14と、前記受信データ記憶手段12が受信データを保有することを記憶する受信状態記憶手段15と、少なくとも、前記データ受信手段13が前記外部制御装置8からの受信データを受け付けると前記受信状態記憶手段15のセットと前記受信データの前記受信データ記憶手段12に対する書込を行うとともに、前記送信状態記憶手段15がセットされたことに基づき前記送信データ記憶手段10に書き込まれている送信データを前記データ送信手段11から送出させる送受信制御手段16とを具備する。

【0010】請求項2による場合、プログラム実行手段7は、外部制御装置8に対してデータを送出する場合には通信手段8の送信状態記憶手段14をセットするとともに送信データ記憶手段10に対して送信データを書き込めば送受信制御手段16は送信データ記憶手段10内の送信データをデータ送信手段11から外部制御装置8に対して送出し、又、受信状態記憶手段15がセットされた場合には受信データ記憶手段12に書き込まれた受信データを取り込む様にすればよいので、外部制御装置8との間の通信をチップ内デバイスとのデータ交信と同様の手順で行うことが可能となる。

【0011】又、請求項3にかかる遊技機用演算処理装置は、請求項1又は請求項2記載の遊技機用演算処理装置を前提として、図3に示す様に、前記遊技機用演算処理装置は、前記通信手段9を前記外部制御装置8と接続するための端子点17を介して前記遊技用プログラム1の正当性を判定する為の確認装置18と接続可能であって、前記正当性判定手段5は、前記端子点17を介して接続された前記確認装置18からの遊技用プログラム吐出要求にตอบสนองして遊技用プログラム1を前記通信手段9を介して前記確認装置18に送出するプログラム吐出手段19を具備する。

【0012】請求項3による場合、第1の記憶手段2に格納された遊技用プログラム1の正当性を判定する為の確認装置18に対して遊技用プログラム1を送出するに際して前記外部制御装置8と通信手段9とを接続するための端子点17を兼用使用するのでチップの着脱に伴うICピンの損傷等のトラブルも無く、遊技機用演算処理

装置を基盤上から着脱する必要がないことから、遊技機用演算処理装置チップを基盤上に半田付けすることが可能となり、装置の信頼性も向上する。

【0013】又、請求項4記載の遊技機用演算処理装置は、請求項3記載の遊技機用演算処理装置を前提として、図4に示す様に、不揮発性メモリによって構成され、前記プログラム吐出手段19の作動回数を計数記憶する吐出回数記憶手段20を具備するとともに、前記正当性判定手段5は、前記吐出回数記憶手段20の計数記憶値が予設定値に到達したことを判別すると前記プログラム実行手段7を不能動化する不能動化手段21を具備する。

【0014】請求項4による場合、不揮発性メモリによって構成された吐出回数記憶手段20がプログラム吐出手段19の作動回数、即ち、確認装置18によって遊技用プログラム1の正当性の確認操作を行った回数を計数記憶し、その計数記憶値が予設定値に達すると不能動化手段21がプログラム実行手段7を不能動化することが出来る。従って、遊技用プログラム1の読取等の目的を以て遊技用プログラム1の吐出を試みる事が困難になり、プログラムの保全性が向上する。

【0015】又、請求項5記載の遊技機用演算処理装置は、請求項1又は請求項2記載の遊技機用演算処理装置を前提として、図5に示す様に、前記遊技機用演算処理装置は、前記通信手段9を前記外部制御装置8と接続するための端子点17を介して前記遊技用プログラム1及び遊技機用演算処理装置の正当性を判定する為の確認装置18と接続可能であって、前記正当性判定手段5は、前記確認装置18の正当性を判定する識別手段22を具備し、前記正当性判定手段5は、前記端子点17を介して接続された前記確認装置18による前記遊技機用演算処理装置の認証及び前記識別手段22による前記確認装置18の認証がなされたことを条件として、前記端子点17を介して接続された前記確認装置18からの遊技用プログラム吐出要求にตอบสนองして遊技用プログラム1を前記通信手段9を介して前記確認装置18に送出するプログラム吐出手段19を具備する。

【0016】請求項5による場合、確認装置18側での遊技機の認証及び遊技機側での識別手段22による確認装置18の認証が行われることを条件に遊技用プログラム1の吐出がなされるので、遊技用プログラムの漏泄を有効に防止することが可能となる。

【0017】更に、請求項6記載の遊技機用演算処理装置は、請求項5記載の遊技機用演算処理装置を前提として、図6に示す様に、不揮発性メモリによって構成され、前記プログラム吐出手段19の作動回数を計数記憶する吐出回数記憶手段20を具備するとともに、前記正当性判定手段5は、前記吐出回数記憶手段20の計数記憶値が予設定値に到達した場合或いは前記識別手段22による前記確認装置18の認証が否定された場合に前記

プログラム実行手段7を不能動化する不能動化手段21を具備する。

【0018】請求項6による場合、請求項4と同様に不揮発性メモリによって構成された吐出回数記憶手段20がプログラム吐出手段19の作動回数を計数記憶し、その計数記憶値が予設定値に達すると不能動化手段21がプログラム実行手段7を不能動化するとともに、更に識別手段22による確認装置の認証がとれなかった場合にもプログラム実行手段7が不能動化されるので、遊技用プログラムの解読等の目的を以て遊技用プログラムの吐出を試みる事が困難になり、プログラムの保水性が向上する

【0019】

【発明の実施の形態】以下図面を参照して本発明の好ましい実施の形態を詳細に説明する。図7に示す様に役物制御装置31はワンチップマイクロコンピュータで構成された遊技機用演算処理装置32を中心に、水晶発振器33、信号を外部装置に対して送出するドライバ34、データを外部装置から取り込むフィルタ35、出力ポート36、入力ポート37、外部バス38、各種効果音を発生するサウンドジェネレータ39、アンプ40等を有して構成される。又、出力段の外部装置の一例として、特別遊技としての可変表示ゲーム用の図柄の表示制御を行う為の表示制御装置41、賞品球の排出制御を行う排出制御装置42、遊技客にとって有利な第1状態と遊技客にとって不利な第2状態とに変換可能な変動入賞装置43、表示制御装置41が可変表示ゲーム（例えば、図柄の組合せゲーム等）を開始させるきっかけとなる後述の第1種始動スイッチ48への入賞球に基づいて可変表示ゲームを行う権利数を表示する記憶表示器44、大当たり中に大当たり状態を表示する装飾表示器45、管理装置47に対して大当たり状態を知らせる情報や可変表示ゲームの実行を知らせる情報等の各種情報を送出する為の外部情報端子46等を有する。又、入力段の外部装置の一例として、表示制御装置41を使用した可変表示ゲームを開始させるきっかけとなる特定入賞領域への入賞検出をする第1種始動スイッチ48、いわゆる大当たり中における変動入賞装置43への入賞球数を計数するためのカウントスイッチ49、大当たり状態を継続させる為の継続入賞領域への入賞球を検出する継続スイッチ50、可変表示ゲームの図柄の表示制御を行う為の上述の表示制御装置41、賞品球の排出制御を行う為の上述の排出制御装置42等を有する。尚、本実施例では表示制御装置41及び排出制御装置42以外の外部装置は各々出力ポート36或いは入力ポート37を経由して遊技機用演算処理装置32と接続されているが、表示制御装置41等は遊技機用演算処理装置32が有する通信制御装置（SCU1又はSCU2）とコネクタを介して接続されている。又、51は各種の効果音を発生する為のスピーカを示す。

【0020】図8は遊技機用演算処理装置32の内部構成例を示すブロック図であり、52はCPUコア、53はRAM、54はROM、55はメモリ制御回路、56は不揮発性メモリ、57は排出制御装置42に割り当てられた通信制御装置（SCU1）、58は表示制御装置41に割り当てられた通信制御装置（SCU2）、59は外部バスインタフェース、60は内部バス、61はクロックジェネレータ、62はリセット割込制御回路、63はCTC、64はアドレスデコーダ、65は出力制御回路、66はPIO、67はウォッチドッグタイマを各々示す。

【0021】CPUコア52は例えば8ビットのマイクロプロセッサであり、遊技機の遊技動作をROM54内に格納された遊技用プログラムに基づいて1シーケンス単位で実行する。RAM53はプログラムの実行中に発生するデータを一時的に記憶するためのものであり、特に本発明との関連では乱数発生用のデータを計数記憶為のレジスタ領域、可変表示ゲームを開始させる為の始動孔への入賞球数を記憶為のレジスタ領域、分岐用の処理番号を記憶する為のレジスタ領域等が用意されている。ROM54は第1の記憶手段及び第2の記憶手段として作用するものであり、セキュリティプログラム、及び遊技用プログラムを格納する。メモリ制御回路55はCPUコア52によって実行されるプログラムの切り替えを制御する為のものであり、特に本実施例との関係では起動時にセキュリティプログラムの立ち上げを行う。不揮発性メモリ56は電源オフによっても記憶内容を保持するメモリ手段である。後述の確認装置による遊技プログラムの検査が行われた回数は不揮発性メモリ56に計数記憶され、不揮発性メモリ56は吐出回数記憶手段を構成している。外部バスインタフェース59は外部バス38にアドレスやデータを送出する。クロックジェネレータ61は外付けの水晶発振器33の出力を適当な周波数に分周してCPUコア52、通信制御装置57・58、外部装置に供給する。リセット割込制御回路62は、遊技機用演算処理装置32全体をリセットとするシステムリセット信号、CPUコア52のみのリセット信号等を発生する。ウォッチドッグタイマ67は、ノイズ等によるプログラムの暴走防止用であり、設定時間内にクリアされないとCPUコア52をリセットさせる。

【0022】次に、図9は通信制御装置57、58の内部構成を示すブロック図であり、68は外部制御装置（即ち、表示制御装置41や排出制御装置42）に対して送信するデータを一時記憶する送信データバッファ、69は外部制御装置から受信したデータを一時記憶する受信データバッファ、70は受信データバッファ69に受信データが書き込まれたことを示すステータスレジスタ、71は送信データバッファ68に送信データを書き込む時セットするコマンドレジスタ、72は外部装置から受信データを取り込むシリアル/パラレル変換機能をも



有するレシーバ、73は外部装置に送信データを送出するパラレル/シリアル変換機能を有するトランスミッタ、74はクロックジェネレータ61が発生したクロックに同期してレシーバ72、トランスミッタ74を作動させるボーレートジェネレータである。又、75は送受信コントローラであり、レシーバ72が外部装置から受信データを取り込むとステータスレジスタ70をセットするとともに受信データを受信データバッファ69に記憶させ、コマンドレジスタ71がセットされると送信データバッファ68内の送信データをトランスミッタ73に送出させる。更に、76はボーレートの設定等を行うモードレジスタ、77は通信制御装置内のバスを各々示す。

【0023】次に、図10は役物制御装置31と遊技用プログラム確認装置（単に確認装置と略称する。）78の接続状態を原理的に示すブロック図であり、役物制御装置31側の外部制御装置（本実施例では排出制御装置42）が接続されるコネクタ79（即ち、通信制御装置57の出力コネクタ）と確認装置78側のコネクタとがケーブル81で接続される。従って、本実施例では遊技用プログラムの立ち入り検査に際して遊技機用演算処理装置32を役物制御装置31を構成する基盤から着脱する必要がない。

【0024】次に、図11は確認装置78の内部構成例を示すブロック図であり、82はCPU、83は確認装置の動作プログラムが格納されたROM、84は確認動作中に発生する各種中間データを記憶するRAM、85は確認装置78を起動する為の起動スイッチ、86は起動スイッチ85のノイズ等を除去するフィルタ、87は入力ポート、88は遊技用プログラムが正常と判定された時に点灯する正常LED、89は遊技用プログラムが異常と判定された時に点灯する異常LED、90、91は各々ドライバ及び出力ポート、92は判定用のマスターROM93が装着されているソケット、94は確認装置78の内部バスを示す。

【0025】次に、上記事項及び図12乃至図20に示すフローチャートを参照して本実施の形態の動作を説明する。まず、ステップS1で遊技機側の電源が投入されることによって図12に示すプログラムがスタートする。

【0026】ステップS2でメモリ制御回路55（図8参照）はシステム起動時にROM54内に用意されたセキュリティプログラムの実行を開始させる。まず、セキュリティプログラムが実行されると、まず、ステップS3で不揮発性メモリ56内に動作不能フラグがセットされていないかどうかを確認される。この動作不能フラグは確認装置78による確認作業が所定回数以上実行された時にステップS9でセットされるものであり、通常はクリアされているので、次のステップS4に移行するが、もしも動作不能フラグがセットされている場合に

はシステムはハングアップする。

【0027】続いて、ステップS4で通信制御装置57内のステータスレジスタ70がセットされているか否かを判別する。このステータスレジスタ70は確認装置78がコネクタ79に対して装着されていない限り、この時点では初期クリアされたままである。従って、ステップS11に移行する。このステップS11で所定時間内にステータスレジスタ70がセットされるとステップS5に移行し、所定時間内にセットされない場合にはステップS21（図14）に移行する。確認装置78は立入検査の時にのみ装着されるので、まずステップS21に移行する場合を先に説明する。

【0028】ステップS21ではROM54内の遊技用プログラムから所定の暗号化アルゴリズムに従って暗号化データを算出する。即ち、ROM54内のセキュリティプログラム中には与えられたデータを暗号化するためのアルゴリズムが予め格納されており、ROM54内から読み出した遊技用プログラムを上記暗号化アルゴリズムに従って暗号化し、算出した暗号化データをRAM53に一時的に記憶する。一方、ROM54内の遊技用プログラムに割り当てられた一部領域（例えば末尾領域）には予め第三者機関によって暗号化された暗号化データが格納されており、ステップS22ではROM54内の暗号化データを読み出す。そして、ステップ23でROM54内に予め格納されていた暗号化データとステップS21で遊技用プログラムを暗号化アルゴリズムに基づいて暗号化したデータとを照合し、両者が一致すればメモリ制御回路55はメモリ領域をセキュリティプログラムから図15以降の遊技用プログラムに切り替える。

又、不一致の場合にはシステムはハングアップする。

【0029】図15の遊技用プログラムに移行するとステップS27で初期化处理（各種フラグのクリア等）を行い、ステップS28で賞球制御処理を行う。賞球制御処理に関しては図17に詳細に示されている。まず、ステップS51で通信制御装置57のステータスレジスタ70がセットされているか否かを見る。通信制御装置57には立入検査時を除いて排出制御装置42が接続されており（図7参照）排出制御装置42は入賞球を検出すると賞球要求を通信制御装置57のレシーバ72に送っている。送受信コントローラ75はレシーバ72から賞球要求を受け付けるとステータスレジスタ70に受信フラグをセットするとともに受信データバッファ69に賞球要求を書き込んでいる。

【0030】CPUコア52はリセット割込制御回路からの定期的な割込要求毎に繰返される賞球制御処理において通信制御装置57のステータスレジスタ70がセットされていると、以下に説明する賞球制御処理を行い、しからざる時はメインルーチンに復帰する。即ち、CPUコア52はステータスレジスタ70がセットされていると受信データバッファ69内に記憶されている受



信データを読み込み、賞球要求か否かを判別する。賞球要求の場合には賞球数をセットするが、本実施例では賞球の入賞領域が可変表示ゲームを起動する為の始動孔への入賞であるか或いはその他の入賞領域であるかによって排出賞球数に差を設けている。

【0031】そこで、本実施例ではRAM53内に始動孔への入賞球数を計数記憶する為のレジスタ領域を設け、始動スイッチ48(図7参照)への入賞球の検出信号が加えられる毎に図16で後述する様に始動孔への入賞球数を計数記憶する為のレジスタ領域を加算し、始動孔への入賞に基づく賞球排出処理を行う毎に当該レジスタ領域の数値を減算する様にしている。又、本実施例では始動孔への入賞には、賞球の排出という意味の他に、可変表示ゲームを開始する権利数としての意味も与えられており、可変表示ゲームを開始する為の権利数は例えば「4」を上限値としてそれ以上の始動孔48への連続入賞はオーバフローさせる様にしている一方で賞球の排出に関しては特段の上限を設けていないことから、RAM53内には、賞球の排出処理をする為の始動孔への入賞球数を計数記憶する為の第1のレジスタ領域と、可変表示ゲームを開始させるための始動孔への入賞球数を計数記憶する為の第2のレジスタ領域とを別々に設けている。そして、ステップ54で判別するレジスタ領域は賞球排出処理の為の始動孔への入賞球数を計数記憶するための第1のレジスタ領域であり、後述の図16のステップS44で加算されるレジスタ領域である。

【0032】そして、CPUコア52はRAM53内の始動孔計数記憶用第1レジスタ領域が「1」以上であると、始動孔に対して定められた賞球数(例えば7個)を通信制御装置57内の送信データバッファ68にセットするとともに始動孔計数記憶用第1レジスタ領域を1減算し(ステップS56、S57)、始動孔計数記憶用第1レジスタ領域が「0」であると一般入賞孔に対して定められた賞球数(例えば13個)を通信制御装置57内の送信データバッファ68にセットし(ステップS55)、しかる後に通信制御装置57内のコマンドレジスタ71をセットして図15のメインルーチンに復帰する。

【0033】この様にして通信制御装置57内のコマンドレジスタ71がセットされると送受信コントローラ75は送信データバッファ68に書き込まれた賞球数をトランスミッタ73を介して排出制御装置42に送出し、排出制御装置42は指定された数の賞品球を排出する。

【0034】このようにして賞球制御処理からメインルーチンに復帰するとCPUコア52はステップS29で表示制御装置41を使用した可変表示ゲームを開始させる為の始動スイッチ46の入力処理に移行する。始動スイッチ46の入力処理に関しては図16に詳細に示されている。始動スイッチ46の入力処理に移行すると、CPUコア52はステップS43で特定領域への入賞に伴

って始動スイッチ46がオンしているか否かを見る。そして、始動スイッチ46がオンしていない場合には、そのままメインルーチンに復帰する。一方、始動スイッチ46がオンしていると、ステップS44でRAM53内に用意された始動孔計数記憶用第1レジスタ領域を「1」加算する。そして、このレジスタ計数値は始動孔に対する賞球排出の実行に伴って図17のステップS57で減算されることは既述の通りである。

【0035】続いて、CPUコア52はステップS45でRAM53内の始動孔計数記憶用第2レジスタ領域の計数値が「4」以下であるか否かを確認する。本実施例では表示制御装置41を使用した可変表示ゲームを開始する権利数は最大「4」までは保持出来るがそれ以上はたとえ始動スイッチ46が作動してもオーバフローする様ななされている。従って、始動孔計数記憶用第2レジスタ領域の計数値が「4」を超過しているとそのままメインルーチンに復帰し、「4」以下の場合には始動孔計数記憶用第2レジスタ領域を1加算した後に(S46)可変表示ゲームの結果判別用の乱数を取得する。

【0036】より詳細にはRAM53内には乱数を作成するための乱数作成領域と、この乱数作成領域から取得した特殊図柄判定用の乱数値を記憶するための乱数記憶領域が割り当てられており、乱数作成領域の内容は、例えば確率を1/200とした場合には(0~199)の間でメインルーチンの割込処理毎に「乱数作成領域加算ステップS30」でサイクリックに更新されている。そして、CPUコア52はステップS47で乱数作成領域の数値(即ち、0~199の間で歩進される数値)を読み出して、この数値をステップ48で乱数記憶領域へ格納してメインルーチンに復帰する。そして、メインルーチンではステップS30で乱数作成領域を加算するが、割込処理の度に始動スイッチ46がオンしている訳ではないので取得される乱数値はランダムなものとなる。

【0037】メインルーチンのステップS30で乱数作成領域加算をした後にステップS31で処理番号(処理番号はRAM53内に用意された処理番号記憶用のレジスタ領域に記憶されている。)に応じて通常処理、図柄変動処理、大当たり処理、ハズレ処理のいずれかの処理に分岐し、各々の分岐処理の後にステップS36~ステップS40の外部情報処理(集中管理装置に対する情報伝達等)、出力処理(各種ソレノイド等の出力)、ランプLED処理(飾りランプ等を点灯する処理)、音出力処理(効果音の発生処理)、不正監視処理(各種不正行為の監視処理)等を順次実行し、次の割込タイミングでステップS28に戻る。

【0038】処理番号記憶用のレジスタ領域が「通常処理」を示している時は図18のステップS60の「通常処理」にジャンプし、ステップS61で始動孔計数記憶用第2レジスタ領域の内容を見る。この始動孔計数記憶用第2レジスタ領域は始動スイッチ46のオンに伴って

図16のステップS46で加算されたものであり、始動孔計数記憶用第2レジスタ領域が「0」を示している。ステップS71及びS72で通信制御装置58の送信データバッファ68に通常表示データをセットするとともに通信制御装置58のコマンドレジスタ71に送信コマンドをセットしてメインルーチンに復帰する。このようにしてコマンドレジスタ71がセットされたことに伴い通信制御装置58の送受信コントローラ75は送信データバッファ68に書き込まれた通常表示データをトランスミッタ73を介して表示制御装置41にシリアル伝送するので、表示制御装置41は通常の表示を行う。尚、ステップS61で始動孔計数記憶用第2レジスタ領域が「0」と判別された場合には、処理番号の変更処理がなされないで、割込要求毎に繰り返されるステップS31での分岐処理では、始動孔計数記憶用第2レジスタ領域が「1」以上になるまでは図18の「通常処理」に分岐することになる。

【0039】一方、ステップS61で始動孔計数記憶用第2レジスタ領域が「1」以上である場合にはステップS62で始動孔計数記憶用第2レジスタ領域を「1」減算した後に、ステップS63でRAM53内の乱数記憶領域内の乱数値(既述のステップS48で書き込まれた数値)を読み込み、ステップS64で所定の判定値と比較する。その結果、乱数記憶領域から読み出した乱数値が大当たりに対応する数値である場合はステップS66で大当たり停止情報(例えば、「7.7.7」という表示データ)を通信制御装置58の送信データバッファ68にセットし、ステップS67でRAM53内に大当たりフラッグをセットして、ステップ69に進む。又、上記の乱数値が大当たり以外の数値であると、ステップS68でハズレ停止情報(例えば「7.7.7」以外の表示データ)を通信制御装置58の送信データバッファ68にセットし、この場合には大当たりフラッグはセットせずにステップ69に進む。そして、ステップS69で通信制御装置58のコマンドレジスタ71をセットし、ステップS70でRAM53内の処理番号フラッグを「図柄変動処理」に変更して、メインルーチンに復帰し、メインルーチンでは次の割込要求に対応したステップS31の処理番号による分岐で図19の図柄変動処理に移行する。そして、通信制御装置58はコマンドレジスタ71がセットされると、送受信コントローラ75が送信データバッファ68にセットされているデータ(「大当たり停止情報」或いは「はずれ停止情報」)をトランスミッタ73を介して表示制御装置41にシリアル伝送する。

【0040】一方、表示制御装置41側では「大当たり停止情報」或いは「はずれ停止情報」を受け取ると、図外の可変表示装置の表示図柄を更新し、受け付けた停止情報が得られた時点で表示図柄の変動を停止するとともに図柄の変動を停止したことを示す情報を通信制御装置

58に伝送する。通信制御装置58ではレシーバ72を介してこの情報を受け取ると、送受信コントローラ75はステータスレジスタ70をセットするとともに受信したデータを受信データバッファ69にセットする。

【0041】遊技機用演算処理装置側では、次の割込タイミングでのステップS31の処理番号への分岐で図19の図柄変動処理に分岐すると、ステップS75で通信制御装置58のステータスレジスタ70がセット(セットされていない場合メインルーチンに復帰し、次の割込タイミングでの分岐処理以降に実行する。)されていると、ステップS76で通信制御装置58の受信データバッファ69の内容を読み込み、ステップS77で変動停止情報(図柄の変動が停止したことを示す情報)であるか否かを判別し、その結果、変動停止情報であることを確認するとステップS78でRAM53内に大当たりフラッグがセットされているか否かを判別する。この大当たりフラッグは既に説明した図18の通常処理のステップS65の乱数判別の結果大当たりが発生した時にステップS67によってセットされるものであり、CPUコア52はRAM53内に大当たりフラッグがセットされていればステップS79でRAM53内の処理番号レジスタの内容を大当たり処理を示す処理番号に変更するとともにステップS80でRAM53内の大当たりフラッグをクリアしてメインルーチンに復帰する。又、大当たりフラッグがセットされていない場合にはステップS81でRAM53内の処理番号レジスタの内容をハズレ処理を示す処理番号に変更してメインルーチンに復帰する。

【0042】そして、次の割込タイミングに伴いメインルーチンのステップS31による分岐処理において大当たり処理に分岐すると大当たりに伴う処理(例えば、変動入賞装置43の長時間の開成、装飾表示器45に大当たりを示す装飾表示、スピーカ51から大当たりに伴う効果音の発生、管理装置47に対する大当たり発生の伝達等)の準備をし、これらはS36～S39のステップで管理装置に伝達され、或いは、目的となる制御対象デバイスに伝達される。又、メインルーチンのステップS31による分岐処理でハズレ処理に分岐するとハズレに伴う処理(例えば装飾表示器45にはずれを示す装飾表示、スピーカ51からはずれに伴う効果音の発生等)の準備をし、これらはS36～S39のステップで管理装置47に伝達され、或いは、目的となる制御対象デバイスに伝達される。

【0043】さてここまでは確認装置78を装着しなかった場合の動作であり、次に確認装置78を装着した場合の動作を説明する。確認装置78は図7に示す排出制御装置42を接続するためのコネクタを使用して装着される。従って、確認装置78を接続する際には排出制御装置41のコネクタを抜き取り、そこに確認装置78を装着し、遊技機用演算処理装置32の電源を立ち上

げる。

【0044】図20は確認装置78側の動作を示しており、ステップS84で確認装置側78（図11参照）のCPU82はROM83内のプログラムに従ってプログラムカウンタの初期化等の初期化処理がなされた後に起動スイッチ85が押されるのを待つ。起動スイッチ85が押されるとCPU82は正常LED88及び異常LED89を消灯した後に出力ポート91、ドライバ90を介して通信制御装置57のレシーバ72に起動信号を送送する。応じて通信制御装置57の送受信コントローラ75はステータスレジスタ70をセットするとともに受信データバッファ69に起動信号を書き込む。

【0045】一方、遊技機用演算処理装置32側では電源が立ち上げられたことにより既に説明した図12の処理を実行する。そして、ステップS11の定める所定時間が経過する以前にステップS4で通信制御装置57のステータスレジスタ70がセットされたことを確認するとステップS5で通信制御装置57の受信データバッファ69の内容を読み込み、ステップS6で正規の起動信号であるか否かを判別する。そして、正規の起動信号が検出されない場合には、遊技用プログラムの漏洩等の目的で何らかの装置を装着したものと考えられるので、ステップS9で不揮発性メモリ56に動作不能フラッグをセットした後にシステムをハングアップさせる。又、ステップS6で正規の起動信号であると判別された場合には、ステップS7で不揮発性メモリ56内の送出回数メモリの記憶値を1加算し、ステップS8で送出回数メモリの計数値が設定値（例えば5）以上になったか否かを判別する。1台の遊技機に対して度々立入検査が行われることは不自然であり、遊技用プログラムの漏洩等を防止する為、ステップS8で送出回数メモリの数値が設定値以上になっている場合には、ステップS9で不揮発性メモリ56に動作不能フラッグをセットして、システムをハングアップさせる。

【0046】ステップS8で送出回数メモリが設定値以下であると、ステップS10で役物コード（遊技機のIDコード）の送出処理を実行する。より具体的には通信制御装置57のコマンドレジスタ71をセットするとともに送信データバッファ68に対して役物コードを書き込む。通信制御装置58側では送受信コントローラ75はコマンドレジスタ71がセットされると送信データバッファ69に書き込まれた役物コードをトランスミッタ73を介して確認装置78のコネクタ80にシリアル伝送する。

【0047】一方、確認装置78側では図20のプログラムを実行しており、ステップS88ではコネクタ80から伝送された役物コードがフィルタ86及び入力ポート87を介して取り込まれるのを待つ。そして、役物コードが取り込まれるとステップS89で役物コードが正常なものであるか否かを判別し、役物コードが正常でな

い場合には遊技用プログラムの照合処理を行うまでもなく異常LED89を点灯して異常が生じていることを表示し動作を終了する。即ち、確認装置側で行う遊技の認証作業に相当する。又、ステップS89で役物コードが正常であると判定された場合には、確認装置78側のCPU82は確認装置コード（確認装置のIDコード）を出力ポート91、ドライバ90を介して通信制御装置57のレシーバ72に伝送する。応じて通信制御装置57の送受信コントローラ75はステータスレジスタ70をセットするとともに受信データバッファ69に確認装置コードを書き込む。

【0048】遊技機用演算処理装置32側ではステップS10で役物コードの送出を行った後にステップS12で通信制御装置57のステータスレジスタ70がセットされるのを待つ。そして、ステータスレジスタ70がセットされると、ステップS13で受信データバッファ69の内容を読み込み、ステップS14で確認装置コードであるか否かを判別し、ステップS15で正常なコードであるか否かを判別し、判別の結果が否定の場合にはステップS20で不揮発性メモリ56に動作不能フラッグをセットしてシステムをハングアップさせる。即ち、遊技機側で行う確認装置の認証作業に相当する。

【0049】ステップS15で確認装置コードが正常であると判別すると、遊技機用演算処理装置32側のCPUコア52はステップS16でROM54内に格納されている遊技プログラムを確認装置78側に伝送する。尚、伝送手順は既に説明した様に通信制御装置57を介して行われることはいうまでもない。遊技用プログラムの伝送はステップS17、S18でROM54の読み出しアドレスを加算しながら全データが送出されるまで繰り返し実行され、遊技用プログラムの全データの送出が完了するとCPUコア52はデータの送出完了を示す最終情報を確認装置78側に伝送する。

【0050】一方、確認装置78側ではステップS91で伝送された遊技プログラムを送信単位毎に読み込み、ステップS92で最終情報を確認すると遊技機側から読み込んだ遊技プログラムをソケット92に装着されているマスタROM93内に予め格納されているマスタプログラムと照合し（ステップS93）、ステップS94で両者の一致が検出された場合にはステップS95で正常LEDを88点灯して動作を終了し、一致が検出されない場合にはステップS96で異常LEDを点灯して動作を終了する。

【0051】

【発明の効果】以上説明したように本発明によれば、請求項1記載の発明によれば遊技用プログラム1の実行過程で、例えば表示制御装置等の外部制御装置がプログラム実行手段の制御下で各々の制御動作を実行する時に、遊技機本体のプログラム実行手段と外部制御装置間の通信処理は独立した通信手段が行うので、プログラム処理

に要する時間や通信制御の為のプログラムを節約することが出来る。

【0052】又、請求項2による場合、プログラム実行手段は、外部制御装置に対してデータを送出する場合には通信手段の送信状態記憶手段をセットするとともに送信データ記憶手段に対して送信データを書き込めば送受信制御手段が送信データ記憶手段内の送信データをデータ送信手段から外部制御装置に対して送出し、又、受信状態記憶手段がセットされた場合には受信データ記憶手段に書き込まれたデータを取り込む様にすればよいので、プログラム実行手段と外部制御装置との間の通信をチップ内デバイスとのデータ交信と同様の手順で行うことが可能となる。

【0053】又、請求項3による場合、第1の記憶手段に格納された遊技用プログラムの正当性を判定する為に確認装置に対して遊技用プログラムを送出するに際して前記外部制御装置と通信を行う為の通信手段を接続するための端子点を兼用使用するのでチップの着脱に伴うICピンの損傷等のトラブルも無く、遊技機用演算処理装置を基盤上から着脱する必要がないことから、遊技機用演算処理装置チップを基盤上に半田付けすることが可能となり、装置の信頼性も向上する。

【0054】又、請求項4による場合、不揮発性メモリによって構成された吐出回数記憶手段がプログラム吐出手段の作動回数、即ち、確認装置によって遊技用プログラムの正当性の確認操作を行った回数を計数記憶し、その計数記憶値が予設定値に達すると不能動化手段がプログラム実行手段を不能動化することが出来るので、遊技用プログラムの解説等の目的を以て遊技用プログラムの吐出を試みる事が困難になり、プログラムの保安全性が向上する。

【0055】又、請求項5による場合、確認装置側での遊技機の認証及び遊技機側での識別手段による確認装置の認証が行われることを条件に遊技用プログラムの吐出がなされるので、遊技用プログラムの漏泄を有効に防止することが可能となる。

【0056】更に、請求項6による場合、請求項4と同様に不揮発性メモリによって構成された吐出回数記憶手段がプログラム吐出手段の作動回数を計数記憶し、その計数記憶値が予設定値に達すると不能動化手段がプログラム実行手段を不能動化するとともに、更に識別手段による確認装置の認証がとれなかった場合にもプログラム実行手段が不能動化されるので、遊技用プログラムの解説等の目的を以て遊技用プログラムの吐出を試みる事が困難になり、プログラムの保安全性が更に向上する。

【図面の簡単な説明】

【図1】請求項1に示す遊技機用演算処理装置を原理的に示すブロック図。

【図2】請求項2に示す遊技機用演算処理装置を原理的に示すブロック図。

【図3】請求項3に示す遊技機用演算処理装置を原理的に示すブロック図。

【図4】請求項4に示す遊技機用演算処理装置を原理的に示すブロック図。

【図5】請求項5に示す遊技機用演算処理装置を原理的に示すブロック図。

【図6】請求項6に示す遊技機用演算処理装置を原理的に示すブロック図。

【図7】本発明をパチンコ遊技機の役物制御装置に適用した実施例の遊技機の制御システムのブロック図。

【図8】図7に示す実施例の遊技機用演算処理装置の内部構成を示すブロック図。

【図9】図8に示す遊技機用演算処理装置内の通信制御装置の内部構成を示すブロック図。

【図10】本発明が適用される役物制御装置と確認装置との接続状態を示すブロック図。

【図11】遊技用プログラム確認装置のブロック図。

【図12】本発明の実施例にかかる遊技機のセキュリティプログラムの前段部分のフローチャート。

【図13】本発明の実施例にかかる遊技機のセキュリティプログラムの中段部分のフローチャート。

【図14】本発明の実施例にかかる遊技機のセキュリティプログラムの後段部分のフローチャート。

【図15】本発明の実施例にかかる遊技機の遊技用プログラムのフローチャート。

【図16】遊技用プログラム中のスイッチ入力処理の部分を示すフローチャート。

【図17】遊技用プログラム中の賞球制御処理の部分を示すフローチャート。

【図18】遊技用プログラム中の通常処理の部分を示すフローチャート。

【図19】遊技用プログラム中の図柄変動処理の部分を示すフローチャート。

【図20】遊技用プログラム確認装置のフローチャート。

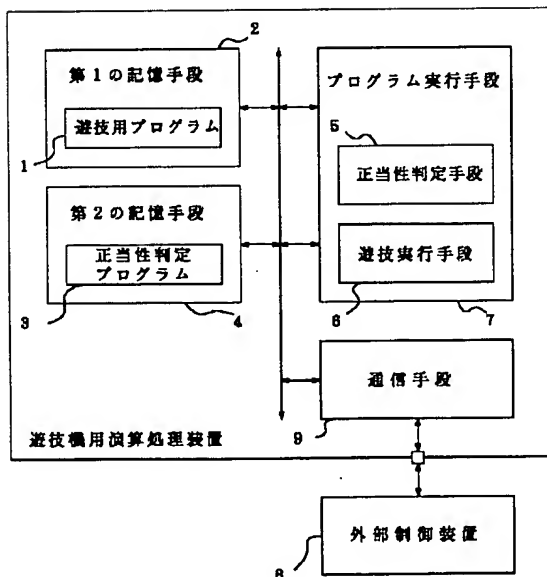
【符号の説明】

- 1 遊技用プログラム
- 2 第1の記憶手段
- 3 正当性判定プログラム
- 4 第2の記憶手段
- 5 正当性判定手段
- 6 遊技実行手段
- 7 プログラム実行手段
- 8 外部制御装置
- 9 通信手段
- 10 送信データ記憶手段
- 11 データ受信手段
- 12 受信データ記憶手段
- 13 データ送信手段
- 14 送信状態記憶手段

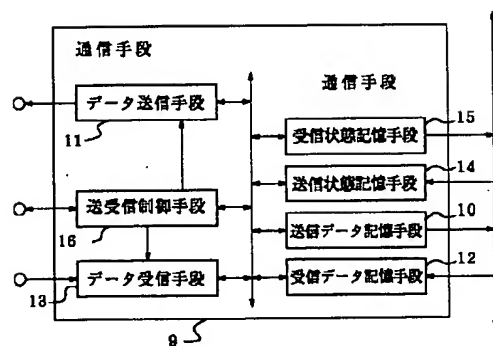
- 15 受信状態記憶手段
- 16 送受信制御手段
- 17 端子点
- 18 確認装置
- 19 プログラム吐出手段
- 20 吐出回数記憶手段
- 21 不能動化手段
- 22 識別手段
- 31 役物制御装置
- 32 遊技機用演算処理装置
- 33 水晶発振器
- 34 ドライバ
- 35 フィルタ
- 36 出力ポート
- 37 入力ポート
- 38 外部バス
- 39 サウンドジェネレータ
- 40 アンプ
- 41 表示制御装置
- 42 排出制御装置
- 43 変動入賞装置
- 44 記憶表示器
- 45 装飾表示器
- 46 外部情報端子
- 47 管理装置
- 48 第1種始動スイッチ
- 49 カウントスイッチ
- 50 継続スイッチ
- 51 スピーカ

- 52 CPUコア
- 53 RAM
- 54 ROM
- 55 メモリ制御回路
- 56 不揮発性メモリ
- 57 通信制御装置
- 58 通信制御装置
- 59 外部バスインタフェース
- 60 内部バス
- 61 クロックジェネレータ
- 62 リセット/割込制御回路
- 68 送信データバッファ
- 69 受信データバッファ
- 70 ステータスレジスタ
- 71 コマンドレジスタ
- 72 レシーバ
- 73 トランスミッタ
- 74 ボー・レートジェネレータ
- 75 送受信コントローラ
- 76 モードレジスタ
- 77 バス
- 78 確認装置
- 82 CPU
- 85 起動スイッチ
- 88 正常LED
- 89 異常LED
- 92 ソケット
- 93 マスタROM

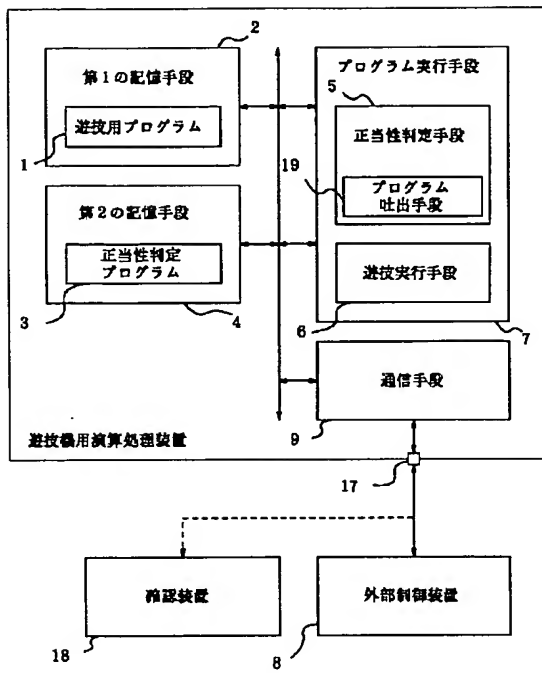
【図1】



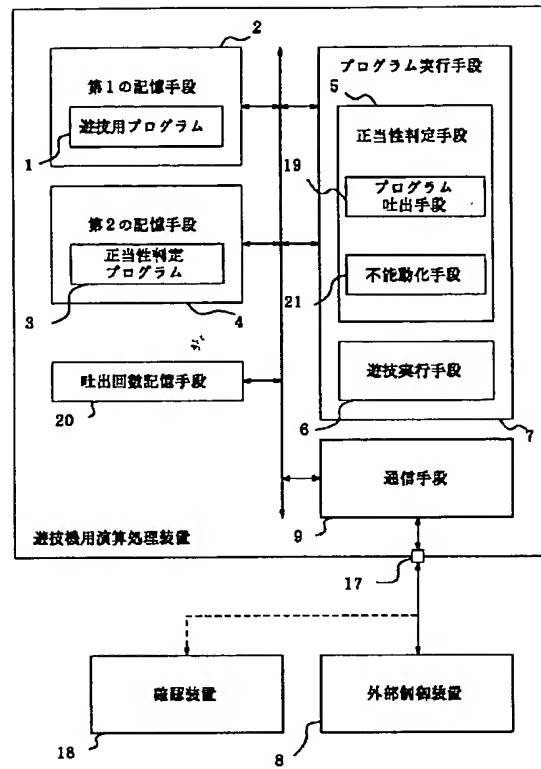
【図2】



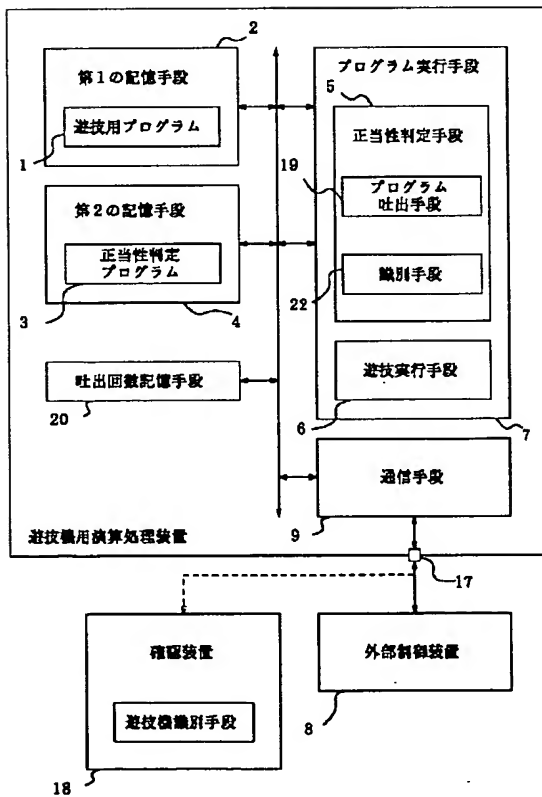
【図3】



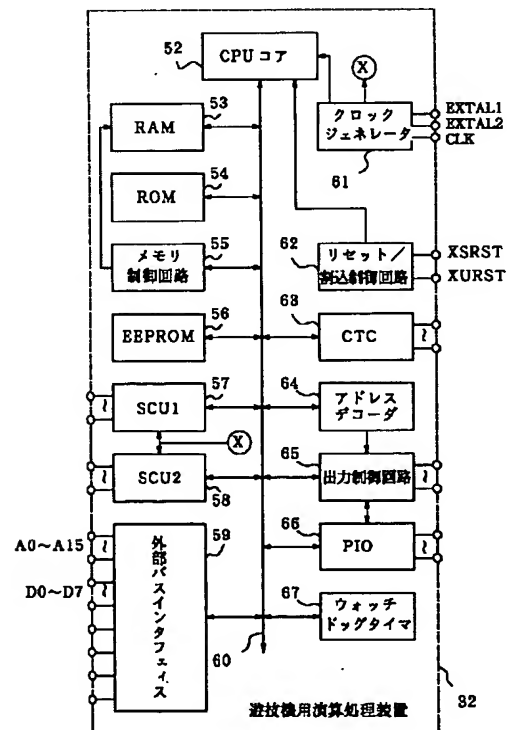
【図4】



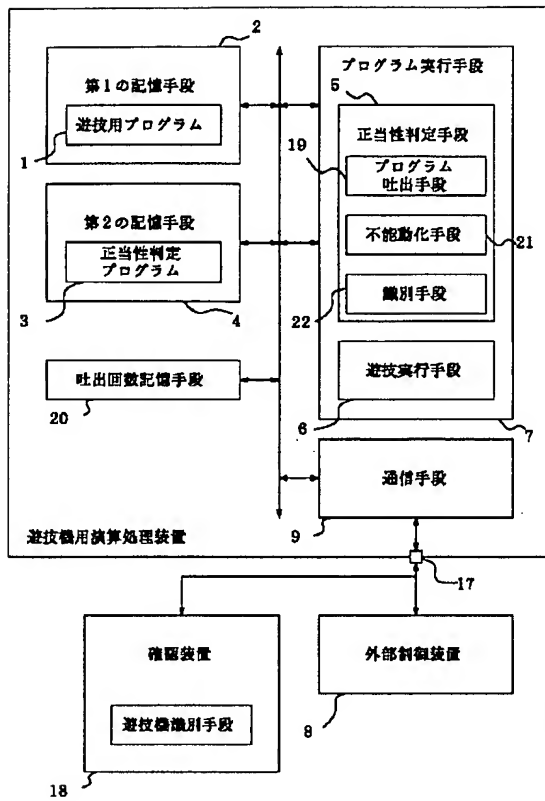
【図5】



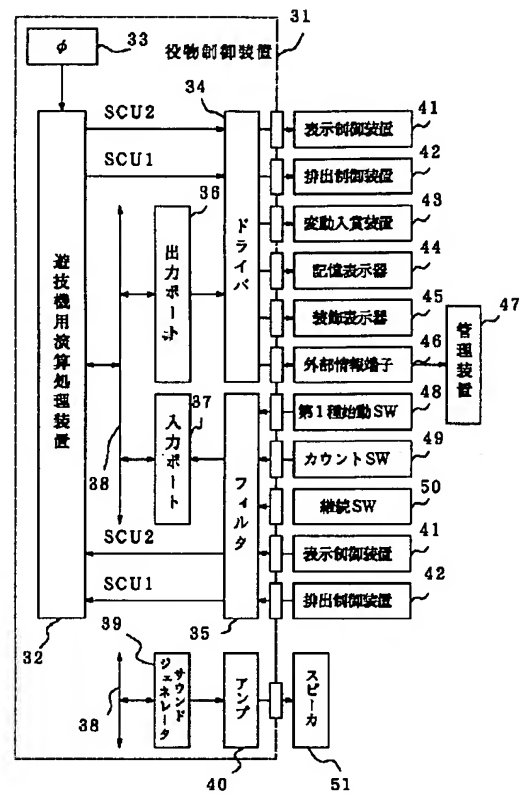
【図8】



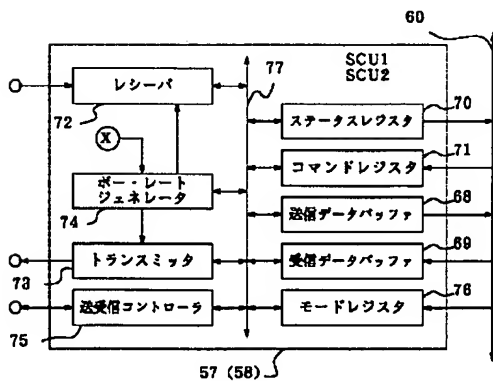
【図6】



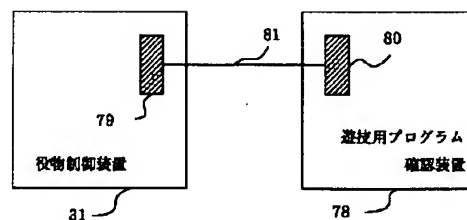
【図7】



【図9】

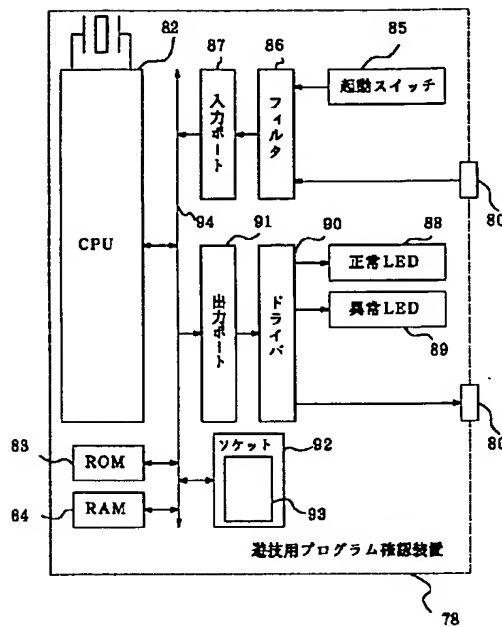


【図10】

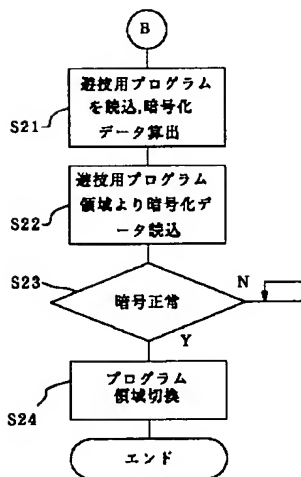




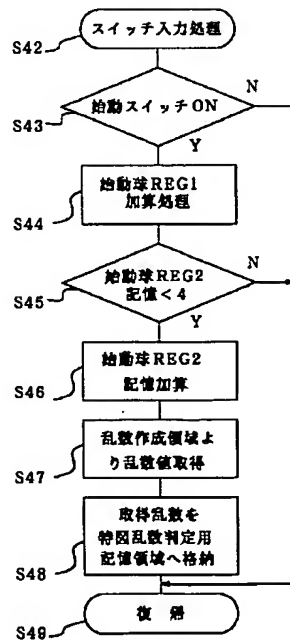
【図11】



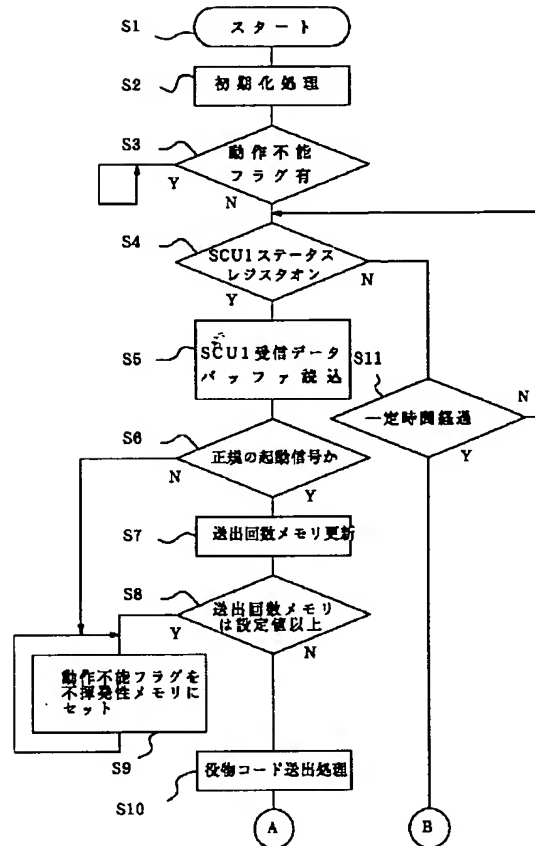
【図14】



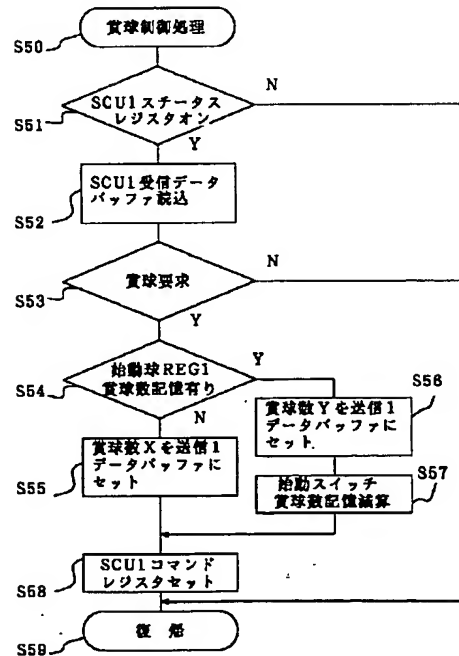
【図16】



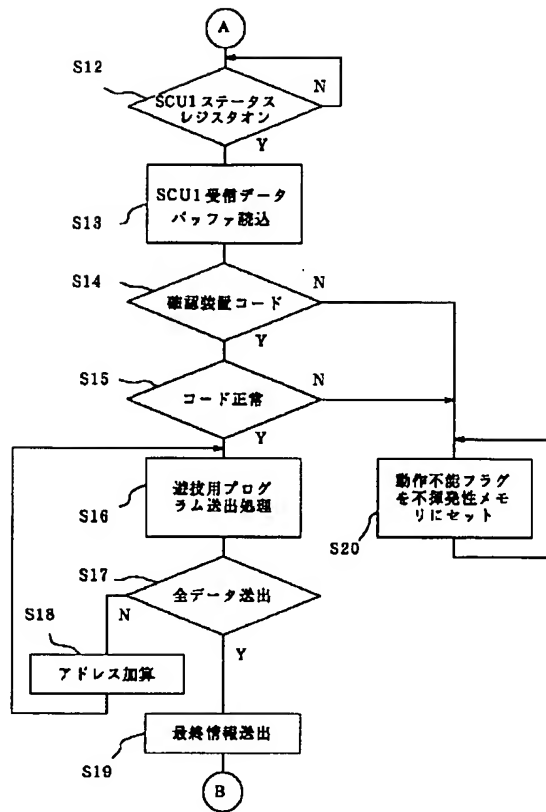
【図12】



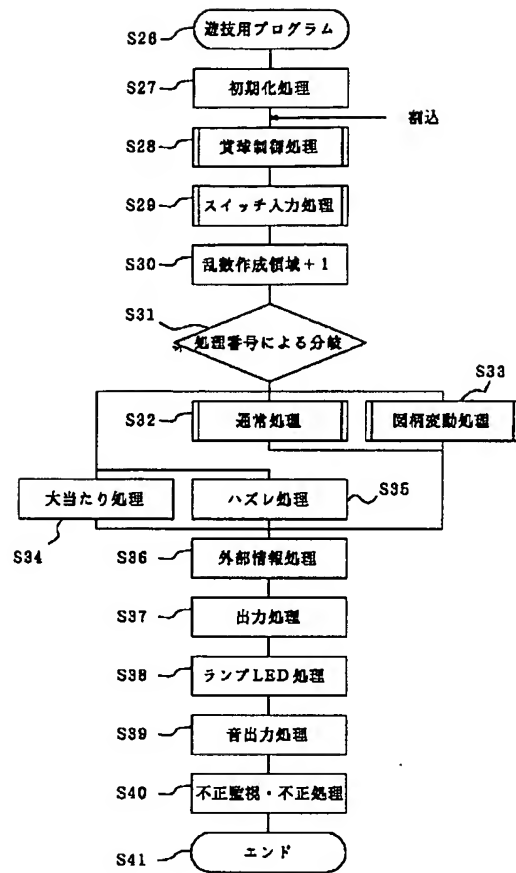
【図17】



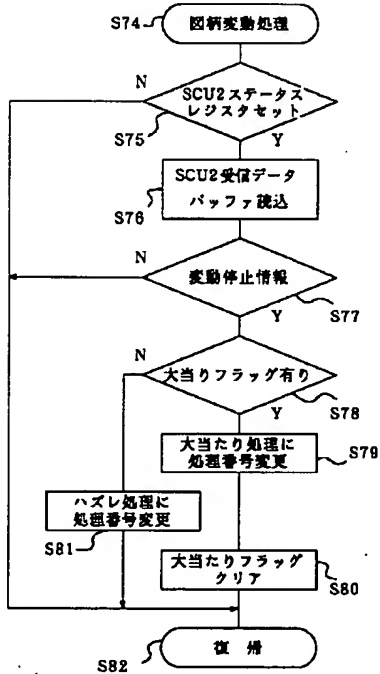
【図13】



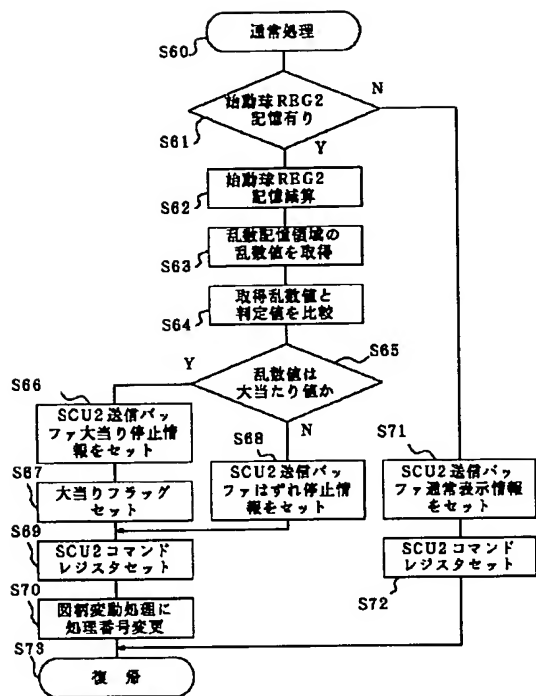
【図15】



【図19】



【図18】



【図20】

